

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-104216

(43)Date of publication of application : 01.05.1991

(51)Int.Cl.

H01L 21/28
H01L 21/316
H01L 21/3205

(21)Application number : 02-233476

(71)Applicant : AMERICAN TELEPH & TELEGR CO <ATT>

(22)Date of filing : 05.09.1990

(72)Inventor : HILLS GRAHAM WILLIAM

(30)Priority

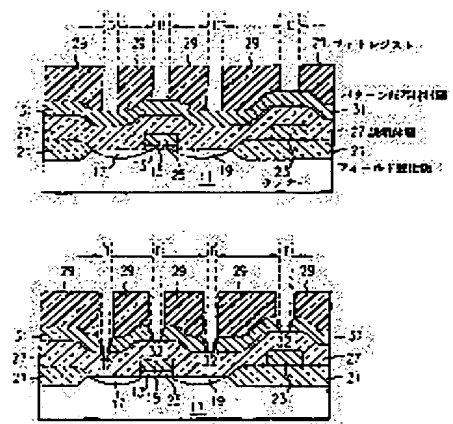
Priority number : 89 404927 Priority date : 08.09.1989 Priority country : US

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR

(57)Abstract:

PURPOSE: To enable formation of a smaller opening than obtained in any lithography process which can be utilized, by so etching a pattern transfer material layer that at least one opening is formed in the pattern transfer material layer, and, when etching the first material layer through the opening, providing the opening with an inward-inclined side surface.

CONSTITUTION: A dielectric body 27 is formed on a transistor structure. The dielectric body 27 is a silicon oxide formed by thermal decomposition gas phase growth. In the dielectric body 27, an opening smaller than the minimum width D attainable by lithography is formed. Reduction in width is attained with a pattern transfer material layer 31 on the surface of the dielectric layer 27, and then a photo-resist 29 is deposited for patterning. Each wall 32 made in etching process leans inward. With the width of window being a dimension T at the bottom of the pattern transfer material 31, this is smaller than the minimum dimension D attainable by the lithography.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-104216

⑤ Int. Cl.⁹

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)5月1日

H 01 L 21/28
21/316
21/3205

V 7738-5F

6810-5F H 01 L 21/88
6940-5F 21/94

C
A

審査請求 未請求 請求項の数 10 (全7頁)

⑭ 発明の名称 半導体製造方法

⑯ 特 願 平2-233476

⑰ 出 願 平2(1990)9月5日

優先権主張 ⑱ 1989年9月8日 ⑲ 米国(US) ⑳ 404927

㉑ 発 明 者 グラハム ウィリアム アメリカ合衆国, 95129 カリフォルニア サン ホセ,
ズ ヒルズ レインボー ドライブ 7150

㉒ 出 願 人 アメリカン テレフォ アメリカ合衆国, 10022 ニューヨーク, ニューヨーク,
ン アンド テレグラ マディソン アヴェニュー 550
フ カムパニー

㉓ 代 理 人 弁理士 三俣 弘文 外1名

明 細 書

1. 発明の名称

半導体製造方法

2. 特許請求の範囲

(1) 第1材料層(27)を形成するステップ、
前記第1材料層上にパターン転写材料層(31)
を形成するステップ、

前記パターン転写材料層(31)上にレジスト
材料(29)を形成するステップ、

前記レジスト材料層(29)をパターン化する
ステップ、

前記パターン転写材料層(31)内に少なくと
も一つの開口を形成するように前記パターン転写
材料層をエッチングするステップ、

前記開口を通して前記第1材料層(27)をエ
ッチングするステップからなり、

前記開口が内部への傾斜側面(32)を有する
ことを特徴とする半導体製造方法。

(2) 前記第1材料層(27)が誘電体である
ことを特徴とする請求項1記載の方法。

(3) 前記パターン転写材料(31)が、ポリ
シリコン、ケイ酸タンタル、アルミニウム、チタ
ン、チタン-タングステン、タングステン、から
なるグループから選択されることを特徴とする請
求項1記載の方法。

(4) 前記パターン転写材料(31)がポリシ
リコンであり、前記パターン転写材料(31)が
トリクロロフルオロメタンを用いエッチングされ
ることを特徴とする請求項1記載の方法。

(5) 前記パターン転写材料(31)がケイ酸
タンタルであり、前記パターン転写材料(31)
がトリクロロフルオロメタンを用いエッチングさ
れることを特徴とする請求項1記載の方法。

(6) 前記第1材料層が二酸化シリコンであり、
前記パターン転写材料が、アンドープ・ポリシ
リコンであり、

前記アンドープ・ポリシリコンが、約60 s c
c mの流量下かつ約10 μ mの圧力(酸素の存在
無しで)下でトリクロロフルオロメタンを用い、
また約500 Vのバイアス電圧下で、エッチング

され、前記ポリシリコン内に内部への傾斜壁を有する開口を形成し、前記二酸化シリコンが、前記エッチングされたポリシリコンをマスクとして使用してエッチングされ、前記二酸化シリコン内に、前記ポリシリコン内の前記開口より小さな開口を少なくとも一つ形成することを特徴とする請求項1記載の方法。

(7) 基板上にパターン転写材料層を形成するステップ、

前記パターン転写材料層上にレジスト材料を堆積ステップ、

少なくとも一つの第1開口を形成する為に、前記レジスト材料をパターン化するステップ、

第1開口より小さな寸法の少なくとも一つの第2の開口を形成するために、前記パターン転写材料層をエッチングするステップ、

前記基板材料の酸化物を成長させるステップ、からなり、前記第2の開口がマスクとして機能することを特徴とする半導体製造方法。

(8) 前記基板がシリコンであることを特徴と

する請求項7記載の方法。

(9) 基板の上にあるパターン転写材料層を形成するステップ、

内部への傾斜側面を有する少なくとも一つの第1開口を形成する為に、前記パターン転写材料をパターン化するステップ、

前記基板内にトレンチをエッチングするステップ からなり、

前記パターン転写材料層がマスクとして機能することを特徴とする半導体製造方法。

(10) 前記パターン転写材料層と前記基板との間に少なくとも一つの材料層を形成するステップをさらに有することを特徴とする請求項9記載の方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体集積回路の製造方法に係り、特に半導体製造に必要とされる様々な層の制御エッチングの方法に関する。

[従来の技術]

一般の集積回路製造過程は、選択的エッチングによる様々な材料での開口の形成をしばしば有している。例えば、“トレンチ”と呼ばれる開口は、シリコンのような基板内にしばしば形成され、各デバイス間を分離し、容量性の電荷蓄積を提供する。“バイアス”、“ウィンドウ”あるいは“接触穴”と呼ばれる他の開口は、誘電層内にしばしば製造され、二つの金属化層の間、あるいは金属化層とトランジスタの活性領域との間の接触を可能にする。一般に、これら開口は、開口が製造される材料上にフォトレジストを堆積することにより形成される。フォトレジストの部分は露光される。フォトレジストの露光部分あるいは露光されていない部分のいずれか（これは、ポジ型フォトレジストあるいはネガ型フォトレジストが使用されるかに依存する）が洗い落とされ、露出した下層の材料の選択部分を残す。マスクとして機能する残留レジストにより、下層の材料の露出部分は開口を形成するようにエッチングされる。この開口は、次のように適当な材料で埋められる。例え

ば、開口がトレンチであれば、トレンチは誘電材料で埋められ、デバイス相互を分離する。トレンチが容量性の電荷蓄積に使用されるならば、1種以上の導伝材料層で輪郭付される。バイアス即ちウィンドウは、例えば金属のような導電材料で埋められ、二つの金属化層の間、あるいはソース/ドレインと上にある金属化層との間に導電性接続を供与する。

一般的に、下層の材料でのパターン化レジストを忠実に再生することが望ましいと通常考えられている。上にあるパターン化レジストの構造より下にある構造の大きさ（あるいは開口）を大きくあるいは小さく製造しようとする、一般に、ウエハ間、ウエハ内、あるいはチップ内に統一性をなくす結果になる。

下層の材料（垂直壁と共に）内にパターン化レジストを忠実に再生する工程は、“ゼロデルタ”工程と呼ばれているが、これは、レジストと下にある材料との間の特徴サイズ幅に差がないからである。時々、“ゼロデルタ”工程は次のように傾

斜壁を有する構造を形成するように変形される。傾斜壁を形成するように変形されたゼロデルタ工程の例は、傾斜バイアス（改良金属ステップカバレッジに対する）の形成であり、傾斜壁（改良誘電カバレッジに対する）を有する金属ランナーの形成である。しかし、ゼロデルタ工程（傾斜壁さえも伴う）での最小の開口と同様に最小の構造間幅は、一般にリソグラフィにより限定される。

半導体産業の当業者は、直接的なリソグラフィにより利用可能な限界以下の寸法で、バイアス、ウィンドウ、トレンチを有する開口を製造する方法を絶えず追求している。

【発明の概要】

本発明はゼロデルタ工程ではないが、本発明によれば、利用可能ないかなるリソグラフィ工程により達成し得るものより小さい開口の形成が可能である。本発明の実施例において、材料層（パターン転写材料と呼ばれる）が、開口がエッチングされる下層材料と上層のフォトリジストとの間に堆積される。よって、パターン転写材料は、エッ

チングされる材料とフォトリジストとの間に挟み込まれる。次に、フォトリジストは従来技術によりパターン化され、開口を規定する。パターン転写材料は、内部への傾斜プロファイルを形成する工程によりエッチングされる。傾斜プロファイルは、パターン転写材料と下層基板との間の境界に開口を定める役割を果たす。しかし、パターン転写材料により定められた開口の寸法は、フォトリジストの相当する開口より小さい。次に、パターン転写材料は、下層材料をエッチングするためのマスクとして使用され、開口を形成するが、この開口はフォトリジストでのリソグラフィにより達成可能な寸法より小さい寸法を有する。開口は様々な用途に利用されるが、例えば、ウィンドウ即ちバイアスとして、トレンチとして、あるいは酸化物成長に対するパターンとしてさえも利用される。

【実施例】

第1図において、基板11は、主に例えば、シリコン、エピタキシャル成長シリコン、ガリウム

ひ素、あるいは他の適当な材料からなる。ゲート酸化物13と上層の導電材料15は、例えばポリシリコンである。ゲート酸化物13と導電材料15の組合せは、しばしば“ゲートスタック”と呼ばれる。ゲートスタックは、参照番号25により示されている。本発明は、より複雑なゲート構造を持つ様々なデバイスに適用可能であるが、このゲートは表面上にシリコンを持つゲートを含む。簡単なゲートスタックが、ここでは簡便なため示されている。

参照番号17と参照番号19とは、それぞれソースとドレインを示す。フィールド酸化物21は、デバイス相互を分離する役割を果たす。本発明は、デバイス相互を分離する他の手段を使用する集積回路構造に適用可能である。参照番号23は、二つのトランジスタを接続するゲートランナーを示す。上述の基本トランジスタ構造は、一般的なMOSトランジスタである。しかし、本発明は、広く様々なタイプのトランジスタに適用可能であり、それはバイポーラトランジスタを含んでいる。簡

便のために、MOSトランジスタへの本発明の応用のみを記述する。

誘電体27は、前述のトランジスタ構造上に形成される。誘電体27は、多くの場合、熱分解気相成長により形成されたシリコン酸化物である。誘電体27を貫通するウィンドウやバイアスを開口し、それにより導電材料、一般にはアルミニウム、タングステン、あるいはポリシリコンが、ウィンドウあるいはバイアス内に堆積されることが望ましいと一応考えられる。導電材料は、様々な構成物間の導電的な相互接続を形成するように次のようにパターン化される。

フォトリジスト29は、誘電体27の上に載る。フォトリジスト29内にリソグラフィによりプリントされ得る最小特徴サイズ幅はDであるとする。第1図は、フォトリジスト内に各々幅Dでパターン化された開口を例示する。パターン化開口は、ソース17、ドレイン19、ゲート25、ランナー23の各々の上のフォトリジスト内であり第1図に例示される。もちろん、本発明の実施例では、

上述の例示された開口の全てが下層誘電体27に転写される必要は必ずしもない。

本発明は、誘電体27内に、達成可能なリソグラフィによる最小幅Dより小さなウィンドウ（“接触穴”とも呼ばれる）のような開口を形成する方法を提供する。幅の減少は、誘電層27の表面上で堆積層31（“パターン転写材料層”と呼ばれる）により達成され、その後、フォトレジスト29が堆積され、パターン化される。第1図は、誘電層27とパターン化フォトレジスト29との間に挟み込まれる層31を例示する。

パターン転写材料31に対する適切な候補材料の範疇にあるものは次の通りである：ポリシリコン、ケイ酸タンタル、アルミニウム、チタン-タンゲステン、タンゲステン。パターン転写材料31に必要とされるどの材料も、内部への傾斜プロファイルを作るようエッチングされ得る材料でなければならない。（もちろん、アンダーカットプロファイルは望ましくない。）第2図が例示する結果は、パターン化フォトレジスト29をマスク

として使用し、パターン転写材料31が、傾斜プロファイルを作るようにエッチングされる時に得られるものである。エッチング工程により作られる各壁32は、内部へと傾斜する。パターン転写材料31の底でウィンドウの幅は、寸法Tを有する幅であり、この寸法Tは、上述のリソグラフィにより達成可能な最小の寸法Dより小さい。寸法Tは、寸法Dより小さく、理由は、壁32は内部へと傾斜しているからである。望ましい傾斜壁32を作るエッチング工程の例は、次に述べる。

第2図に示される構造が得られた後、パターン転写材料31は、次のエッチングステップに対するマスクとして使用される。次のエッチングステップにおいては、誘電体27は、パターン転写材料31を貫通してエッチングされる。誘電体27内に形成されたウィンドウ即ちバイアスの各々は、パターン転写材料31内に形成されたウィンドウあるいはバイアスの幅に同じ幅Tを有する。よって、本発明の工程は、誘電体27を貫通し、ソース17、ドレイン19、ゲート25、ランナー2

3へのウィンドウ34を形成するが、ウィンドウ34は、リソグラフィにより達成可能な最小の寸法Dより小さな幅Tを有する。

上述の工程は、ゼロデルタ工程ではなく、その理由は、結果のエッチング幅Tは、リソグラフィによる幅Dより小さい。工程のデルタ、すなわち最終的にエッチングされた幅とリソグラフィによる幅との間の差は、 $\Delta = D - T$ として定義される。本発明の工程のデルタは、壁32上に形成された傾斜の程度により、またパターン転写材料31の厚さにより、制御される。

ウィンドウ即ちバイアス34が形成された後、標準的な工程のステップが遂行され、このステップは、（もし必要ならば）パターン転写材料31の除去と適当な金属化の形成とを有する。

様々な材料において、傾斜壁を作る多様なエッチング技術が存在する。一般に、これらのエッチング技術は、ポリマーによる側壁の形成により達成されると考えられるが、この側壁は、傾斜側面を形成し、エッチングの際の材料の側面を保護す

ることが多い。しかし、他のメカニズムは、多様な環境下（反応産物の堆積、あるいは基板温度の制御による供給ガスの種類）で、傾斜側面の形成の原因となる。パターン転写材料がアルミニウムであるときに必要とされる適切なエッチング工程の一例は、「先細りエッチングのための方法と装置」の名称の、1988年6月30日に出願した本出願人の米国特許出願に記載されている。

例

テトラエチルオルソシラン（TEOS）から熱分解気相成長により堆積された不純物付加の無い酸化ケイ素の8000オングストロームの層が、いくつかのシリコン基板上に堆積された。パターン転写材料は、酸化ケイ素の最上部上に堆積された。ある場合においては、パターン転写材料は4000オングストロームの厚さのアンドープのポリシリコンであり、また他の場合においては、パターン転写材料は2500オングストロームのケイ酸タンタルであった。パターン転写材料は、1.1 μm のフォトレジスト（HPR204、フント

ケミカル社の製品)で被覆された。

フォトレジストは、 $1.0\mu\text{m}$ ウィンドウあるいは延長トレンチの形成のための標準的なレチクルを使用してパターン化された。この時、パターン転写材料は、 60 sccs の流量下かつ $10\mu\text{m}$ の圧力下においてトリクロロフルオロメタンを用いパターン化された。エッチングでの増加したバイアスあるいはパワーは、側壁の成長を増加させる(またそれによってパターン転写材料層により得られた傾斜角を増加させる)が、このエッチング工程への酸素の付加は保護的な側壁の成長を減少させることが認められた。結果的に、約 500 V の高バイアス電圧が、6極反応装置内でポリシリコンをエッチングするために必要とされる。

パターン転写材料層がエッチングされた後、下層酸化物は、トリフルオロメタンと酸素を使用してエッチングされた。酸化物でのバイアス即ち、トレンチの幅の減少は、 4000 オングストロームのポリシリコン材料に対して $0.5\mu\text{m}$ 、 2500 オングストロームのケイ酸タンタルに対して

れた誘電体とともに使用される時であるが、平坦化は必ずしも必要ではない。本発明の技術は、様々な形で3層レジストや2層レジストを必要とし、多くの3層手法や2層手法がゼロデルタ工程であるという事実を有するエッチング方法とは異なる。

本発明は、誘電体自身内に傾斜側面を作るような誘電体のエッチングを有する工程を凌ぐ様々な利点をもた提供する。しばしば、このような工程は、誘電体のエッチング間に側壁保護の機構を含んでいる。しかし、誘電層の底での開口の寸法が誘電体の厚さに依存してしまう。本技術は、下層材料内に傾斜の無い側面を作り、結果的に誘電層の底での開口の大きさは誘電層の厚さに依存しない。

第1図から第3図は、ソース、ゲート、ドレイン、ランナーに対するウィンドウの開口を示すが、本発明は、小さな開口が望まれる半導体製造のいずれの部分に対してもまた適用可能である。例えば、本発明の工程は、第1レベルの金属と第2レベルの金属との間、第2レベルの金属と第3レベ

0. $24\mu\text{m}$ という結果であった。幅減少量は、パターン転写材料の厚さに依存する、すなわち、より厚いパターン転写材料はより大きな幅の減少をもたらす。

本技術の数名の実験者により、(パターン転写材料をエッチングするために使用されるような)側壁保護メカニズムにより制御される異方性を有する工程は、隣接効果、すなわち、局所的な線密度に関する有効な線幅変化、に敏感である可能性があると結論されている。例えば、ポリシリコン・ゲートの従来のエッチングにおいて、分離されたゲートの線幅は、近接して間をおいて置かれたゲートの線幅より微かに大きい可能性がある。しかし、本発明におけるパターン転写材料のエッチングは、隣接効果に対してより鈍感であることが期待されているが、その理由は、ウィンドウ即ちバイアスが存在するからである。よって、特定ウィンドウのエッチング特性は、近接するウィンドウによりほとんど影響されない。

本発明の技術が最も有効であるのは、平坦化さ

ルの金属との間、第1レベルの金属と第3レベルの金属との間、などにバイアスを開口する際に应用可能である。(ウィンドウという用語は、誘電体内の開口を示し、この開口は、ゲート、ソース、ドレイン、あるいはランナーに対する電気的な接触を可能にする。バイアスという用語は、誘電体内の開口を示し、この開口は、導電性ランナーの二つのレベル間の電気的な接触を可能にする。接触穴という用語は、ウィンドウとバイアスとの両方に一般に適用可能である。)

本発明の技術は、ウィンドウあるいはバイアスに加えて他のタイプの開口を形成するために应用可能である。例えば、本発明の技術の他の応用例は、第4図に例示される完全な構造に例示されている。本図は、どのように本発明の技術がフィールド酸化物を形成するために使用可能であるかを例示するが、このフィールド酸化物は、従来のリソグラフィにより達成可能な寸法より小さな寸法を有している。参照番号111は、シリコンあるいはエピタキシャル成長したシリコンであり得る

基板を意味する。参照番号112は、パッド酸化物を意味する。参照番号113は、例えば、(ウエハ工程の準備段階の間に普通は堆積されるような)窒化シリコンの層である。他の層でも、酸化物層112と窒化物層113のそれぞれに代用可能である。窒化シリコン層113の上部は、パターン転写材料115である。パターン転写材料115は、傾斜側面119を有し、傾斜側面119は、前述の技術により形成されている。層113と層112は、側壁119を持つ層115を使用するマスクとして定義されている。層115、層113、層112が形成された後、フィールド酸化物121は従来技術により成長される。図により、パターン転写材料115用いずに成長されたフィールド酸化物の幅は、パターン転写材料115を用いて成長されたフィールド酸化物121の幅より大きいであろうことが分かるが、この理由は、傾斜壁119がパターン転写材料開口の大きさを減少させるからである。

第4図に例示される構造は、層113とパッド

り、上記記載の候補の中から選択可能なパターン転写材料である。層213は、パターン化レジスト材料である。幅Dを有する開口215は、従来のリソグラフィ技術によりレジスト213内に形成される。Dより小さい幅を有するトレンチが形成されることが望ましい。

レジスト材料213がパターン化された後、パターン転写材料209は、上述の技術により内部への傾斜壁217を作るためにエッチングされる。レジスト213は、もし必要ならば、第6図に表される構造になるように取り除かれる。

酸化物層207は、マスクとしてパターン転写材料209を使用してエッチングされる。第7図に例示されるように、酸化物207内の開口の幅はTであり、幅Tは、レジスト213内の開口215の寸法Dより小さい。酸化物207が層205へとエッチングされた後、層205と続いて層203とをエッチングするためにエッチング工程の条件を変えることが必要である。もし必要ならば、パターン転写層209は、酸化物層207が

酸化物112との間にポリシリコン緩衝層をもた有することが可能である。

本発明の工程は、小さな寸法のトレンチを形成するためにもまた使用可能である。第5図から第7図が例示する工程は、直接的なリソグラフィから予想され得る幅より小さな幅を有するトレンチを形成するために必要とされる工程である。第5図を参照すると、参照番号201は材料を示すが、その材料内にトレンチがエッチングされる。(トレンチの形成は一般に、デバイスの形成以前に行われる。)材料201は一般に、シリコン、エピタキシャル成長したシリコンなどである。参照番号203と参照番号205とは、それぞれパッド酸化物層と窒化シリコン層とを示す。パッド酸化物層203と窒化シリコン層205とは一般に、シリコン半導体工程の初期ステップ中に形成される。しかし、これらは、省略可能であり、他の層がこれらに代用される。層207は、堆積シリコン酸化物の厚い層であり、この機能は次のように説明される。層209は、パターン転写材料であ

エッチングされた後、取り除かれる。その理由は、狭幅トレンチが酸化物層207内に形成され、層207は引き続き下層エッチングに対するマスクとして役割を果たす。最後に、トレンチ211は、マスクとしての役割を果たす酸化物層207を有する基板201内にエッチングされる。前述のように、酸化物層207は比較的厚くあるべきであり、それにより、層205と層203を通してまた基板201内に、品質を落とさずにエッチングするために使用されるエッチング手順に抵抗可能である。

尚、特許請求の範囲に記載された参照番号は、発明の容易なる理解のためで、その技術的範囲を限定するよう解釈されるべきではない。

4. 図面の簡単な説明

第1図乃至第3図は、本発明によるデバイス形成の方法を例示する概要断面図、

第4図は、本発明の構想の一つの応用例の概要透視図、

第5図乃至第7図は、さらに本発明の実施例を

例示する追加の概要断面図である。

出願人：アメリカン テレフォン アンド

テレグラフ カムパニー

代理人：三 俣 弘 文

同：桂 木 雄

